

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-265039

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1333		9225-2K	
H 0 1 L	27/12	A	9056-4M	
			H 0 1 L 29/78	3 1 1 A

審査請求 未請求 請求項の数4(全 9 頁) 最終頁に続く

(21) 出願番号 特願平4-62212

(22) 出願日 平成4年(1992)3月18日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 内海 宏禎

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

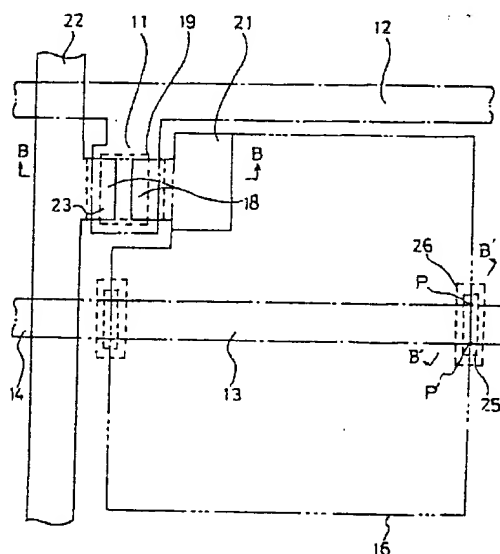
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 補助容量電極と表示電極のパターンエッジの交点にピンホールが生じて、補助容量電極の断線や短絡を無くすことを目的とする。

【構成】 前述の交点P、P'を覆うように、a-Si(18)とSiNx(19)、またはa-Si(18)とSiNx(19)とN⁺a-Si(20)と同一材料の層を積層する。



11: ゲート

13: 補助容量電極

16: 表示電極

19: 非晶質シリコン膜

22: ドレイライン

12: ゲートライン

14: 補助容量ライン

18: 非晶質シリコン膜

21: ソース電極

【特許請求の範囲】

【請求項1】 透明な絶縁性基板上に形成された複数のゲートと、

このゲートと一体の複数本のゲートラインと、

前記絶縁性基板を覆う第1のゲート絶縁膜と、

前記ゲートに隣接して設けられこの第1のゲート絶縁膜上に形成された表示電極と、

前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、

前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、

前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーパされた第2の非単結晶シリコン膜と、

前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、

前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、

前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、

このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、

前記表示電極の周辺に対応する第2のゲート絶縁膜上に、第1の非単結晶シリコン膜および前記半導体保護膜を設けたことを特徴とした液晶表示装置。

【請求項2】 透明な絶縁性基板上に形成された複数のゲートと、

このゲートと一体の複数本のゲートラインと、

前記絶縁性基板を覆う第1のゲート絶縁膜と、

前記ゲートに隣接して設けられこの第1のゲート絶縁膜上に形成された表示電極と、

前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、

前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、

前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーパされた第2の非単結晶シリコン膜と、

前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、

前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、

前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、

このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、

前記表示電極の周辺に対応する第2のゲート絶縁膜上に、前記第1の非単結晶シリコン膜、前記半導体保護膜および前記第2の非単結晶シリコン膜を設けたことを特徴とした液晶表示装置。

【請求項3】 透明な絶縁性基板上に形成された複数のゲートと、

このゲートと一体の複数本のゲートラインと、

このゲートラインと実質的に平行に設けられた複数本の補助容量ラインと、

前記絶縁性基板を覆う第1のゲート絶縁膜と、

前記補助容量ラインの少なくとも一部と重畳し、この第1のゲート絶縁膜上に形成された表示電極と、

前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、

前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、

前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーパされた第2の非単結晶シリコン膜と、

前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、

前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、

前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、

このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、

前記補助容量電極と重畳する前記表示電極の端部を覆うように、前記第2のゲート絶縁膜上に積層した第1の非単結晶シリコン膜および前記半導体保護膜とを有することを特徴とした液晶表示装置。

【請求項4】 透明な絶縁性基板上に形成された複数のゲートと、

このゲートと一体の複数本のゲートラインと、

このゲートラインと実質的に平行に設けられた複数本の補助容量ラインと、

前記絶縁性基板を覆う第1のゲート絶縁膜と、

前記補助容量ラインの少なくとも一部と重畳し、この第1のゲート絶縁膜上に形成された表示電極と、

前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、

前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、

前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーパされた第2の非単結晶シリコン膜と、

前記TFTのチャンネル領域に対応する前記第2の非単

結晶シリコン膜の下層に設けられた半導体保護膜と、前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電氣的に接続するソース電極と、前記ソースに対応する第2の非単結晶シリコン膜と電氣的に接続されたドレイン電極と、このドレイン電極と電氣的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、前記補助容量電極と重畳する前記表示電極の端部を覆うように、前記第2のゲート絶縁膜上に積層した第1の非単結晶シリコン膜、前記半導体保護膜および第2の非単結晶シリコン膜とを有することを特徴とした液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に関し、特に表示電極上の絶縁層のステップカバレッジを補う液晶表示装置に関するものである。

【0002】

【従来の技術】一般に、液晶表示装置は、カラーTVを中心に開発が活発に進められている。これらの中には、例えば特開平3-114028号公報に示された構成(図7および図12)がある。これは、透明な絶縁性基板(50)上に、例えばゲート(51)と補助容量電極(52)が設けられ、第1のゲート絶縁膜(53)を介してITOより成る表示電極(54)が設けられている。更に全面には、第2のゲート絶縁膜(55)が設けられ、TFTが形成される第2のゲート絶縁膜(55)上には、順次a-Si層(56)、SiNxより成る半導体保護膜(57)およびN⁺a-Si層(58)が積層されている。一方、ソース領域に対応するN⁺a-Si層(58)から前記表示電極(54)表面が露出しているコンタクト孔までを延在しているソース電極(59)と、ドレイン領域に対応するN⁺a-Si層(58)表面から延在されるドレイン電極(60)およびドレインラインがある。

【0003】更には、図示していないが、全面にパシベーション膜や配向膜が設けられる。一方、前述のTFT基板と対向する位置には、対向基板が設けられ例えば遮光膜が設けられ、絶縁層を介して対向電極が設けられ、更に配向膜が設けられている。そしてこのTFT基板と対向基板は一定の間隙でシールを用いて貼り合わされており、中に液晶が注入されている。

【0004】次に図8乃至図12を使って説明してゆく。各断面図の左側および右側は、図7のA-A線およびA'-A'線に対応する。次に図8乃至図12を使って製造方法を述べてゆく。先ず絶縁性基板(50)にゲート(51)、ゲートライン(61)、補助容量電極(52)および補助容量ライン(62)を形成し、この基板全面に第1のゲート絶縁膜(53)を覆う工程があ

る。(以上図8を参照)

続いて、補助容量電極(52)と重畳する表示電極(54)が形成され、全面に第2のゲート絶縁膜(55)を覆う工程がある。(以上図9を参照)

続いて、全面にノンドープのa-Si(56)および半導体保護膜(57)の材料であるSiNxが積層される工程がある。(以上図10を参照)

更に、NH₄F+HF+CH₃COOH+H₂O等のエッチャントにより、TFTのチャンネル領域を覆う所を残し、他の全てのSiNxをエッチングする工程がある。ここでSiNxより成る半導体保護膜が形成される。

(以上図11を参照)

最後に、全面にN⁺a-Si(58)を積層し、HF+HNO₃+CH₃COOH+H₂O等のエッチャントにより、このN⁺a-Si(58)とノンドープのa-Si(56)をエッチングし、活性領域として島状に残す。更に、Al電極(59)、(60)を形成した後、この電極(59)、(60)とセルフアラインしてチャンネルに対応するN⁺a-Si(58)を除去する。

【0005】

【発明が解決しようとする課題】図7に於いて点線で示した丸印に着目する。この部分は、補助容量電極(52)と表示電極(54)が重畳している。特に補助容量電極(52)のエッジと表示電極(54)のエッジの交差部は、段差が大きく、第2のゲート絶縁膜(55)やa-Si層(56)を積層しても充分にカバーできない問題があった。

【0006】図9からも明らかな様に、丸印で示したエッジの交点は、段差が大きく、第2のゲート絶縁膜(55)でカバーできない場合がある。しかも図9の如く、ノンドープのa-Si(56)もカバーできないと、SiNx(57)を除去する際、フッ酸や硝酸等の混入されたエッチャントがこの非カバー部を介して中に浸入し、補助容量電極(52)やガラス(50)まで到達するエッチングが生じてしまう。

【0007】従って、膜の界面にエッチャント等が浸入することによる膜剥れ、Al電極がこのピンホールの中に浸入し、補助容量電極(52)と表示電極(54)が短絡する等の問題を生じる。

【0008】

【課題を解決するための手段】本発明は、前述の課題に鑑みて成され、先ず第1として、透明な絶縁性基板上に形成された複数のゲートと、このゲートと一体の複数本のゲートラインと、前記絶縁性基板を覆う第1のゲート絶縁膜と、前記ゲートに隣接して設けられこの第1のゲート絶縁膜上に形成された表示電極と、前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、前記

TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーブされた第2の非単結晶シリコン膜と、前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、前記表示電極の周辺に対応する第2のゲート絶縁膜上に、第1の非単結晶シリコン膜および前記半導体保護膜を設けることで解決するものである。

【0009】第2に、透明な絶縁性基板上に形成された複数のゲートと、このゲートと一体の複数本のゲートラインと、前記絶縁性基板を覆う第1のゲート絶縁膜と、前記ゲートに隣接して設けられこの第1のゲート絶縁膜上に形成された表示電極と、前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーブされた第2の非単結晶シリコン膜と、前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、前記表示電極の周辺に対応する第2のゲート絶縁膜上に、前記第1の非単結晶シリコン膜、前記半導体保護膜および前記第2の非単結晶シリコン膜を設けることで解決するものである。

【0010】第3として、透明な絶縁性基板上に形成された複数のゲートと、このゲートと一体の複数本のゲートラインと、このゲートラインと実質的に平行に設けられた複数本の補助容量ラインと、前記絶縁性基板を覆う第1のゲート絶縁膜と、前記補助容量ラインの少なくとも一部と重畳し、この第1のゲート絶縁膜上に形成された表示電極と、前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーブされた第2の非単結晶シリコン膜と、前記TFTのチャンネル領域に対応する前記第2の非単

結晶シリコン膜の下層に設けられた半導体保護膜と、前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、前記補助容量電極と重畳する前記表示電極の端部を覆うように、前記第2のゲート絶縁膜上に積層した第1の非単結晶シリコン膜および前記半導体保護膜とを有することで解決するものである。

【0011】第4として、透明な絶縁性基板上に形成された複数のゲートと、このゲートと一体の複数本のゲートラインと、このゲートラインと実質的に平行に設けられた複数本の補助容量ラインと、前記絶縁性基板を覆う第1のゲート絶縁膜と、前記補助容量ラインの少なくとも一部と重畳し、この第1のゲート絶縁膜上に形成された表示電極と、前記第1のゲート絶縁膜およびこの表示電極の周囲を少なくとも覆う第2のゲート絶縁膜と、前記ゲートを一構成とするTFTの活性領域に対応するこの第2のゲート絶縁膜上に設けられたノンドープの第1の非単結晶シリコン膜と、前記TFTのソースおよびドレインに対応するこの非単結晶シリコン膜上に設けられた不純物がドーブされた第2の非単結晶シリコン膜と、前記TFTのチャンネル領域に対応する前記第2の非単結晶シリコン膜の下層に設けられた半導体保護膜と、前記ソースに対応する第2の非単結晶シリコン膜と前記表示電極を電気的に接続するソース電極と、前記ソースに対応する第2の非単結晶シリコン膜と電気的に接続されたドレイン電極と、このドレイン電極と電気的に接続され、前記ゲートラインと交差する方向に延在されたドレインラインとを有する液晶表示装置において、前記補助容量電極と重畳する前記表示電極の端部を覆うように、前記第2のゲート絶縁膜上に積層した第1の非単結晶シリコン膜、前記半導体保護膜および第2の非単結晶シリコン膜とを有することで解決するものである。

【0012】

【作用】第1に、補助容量電極を必要としない液晶表示装置に於いて、表示電極(16)の膜厚により、第2のゲート絶縁膜(17)でカバーできない時、この段差部に、 $a-Si$ (18)および $SiNx$ (25)を残す事で、この段差部分を覆う事ができる。そのため、 $SiNx$ (25)や $a-Si$ のエッチャント等は、この段差によって生じるピンホールに浸入しないため、膜剥れを防止できる。

【0013】第2に、前記第1の構成の被覆部分に更に N^+a-Si (20)を設けると、前述と同様に膜剥れを防止できる。この $a-Si$ (20)のエッチャントは、 $a-Si$ (18)と $SiNx$ (19)の界面を介して浸入しづらくなる。しかも $a-Si$ (18)と N^+a

-Si (20) は、従来の構成に於いても用いられているので、パターンの変更のみで何ら別工程を用いず、この構成を達成できる。

【0014】第3に、補助容量電極(13)を必要とする液晶表示装置に於いて、補助容量電極(13)と表示電極(16)の膜厚により、第2のゲート絶縁膜(17)でカバーできない時、この段差部に、a-Si (18) および SiNx (19) を残す事で、この段差部を覆う事ができる。従ってこの段差部に生じやすいピンホールを介して、SiNx (19) や a-Si (18) , (20) のエッチャントや電極材料が浸入しないため、断線、膜剥れや短絡を生じない。

【0015】第4に、前述の第3の構成の被覆部分に、更に N⁺-a-Si (20) を設けることで、a-Si のエッチャントは、a-Si (18) と SiNx (19) の界面を介して中に浸入しづらくなる。

【0016】

【実施例】以下に本発明の構成を図1および図6を参照しながら説明する。図6の波断部左側は、B-B線に対応し、右側はB'-B'線に対応する。まず、透明な絶縁性基板(10)上に形成されたゲート(11)、およびこのゲート(11)と一体で形成された複数本のゲートライン(12)と、このゲートライン(12)と離間して形成された補助容量電極(13)、およびこの補助容量電極(13)と一体で形成された補助容量ライン(14)と、実質的に前記絶縁性基板(10)の全面に形成された第1のゲート絶縁膜(15)がある。

【0017】透明な絶縁性基板(10)は、例えばガラスより成る。このガラス基板(10)上には、ゲート(11)、このゲート(11)と一体のゲートライン(12)が形成されている。また補助容量電極(13)と一体で補助容量ライン(14)が設けられている。また(13)は、例えばCrより成っているが、Ta, Ta-Mo, Cr-Cu等でも良い。一般にゲートラインと補助容量ラインは、同一工程で形成されるので、ゲートライン(12)と補助容量ライン(14)は、例えば約1000ÅのCrより形成される。またゲート(11)、ゲートライン(12)、補助容量電極(13)および補助容量ライン(14)を覆う第1のゲート絶縁膜(15)は、プラズマCVD法で形成された約3000ÅのSiNx膜である。ここでは、SiNx膜の代りにSiO₂膜を使用しても良いし、この2つの膜を2層にしても良い。またSiNx膜やSiO₂膜を単独で使う場合、成膜工程を2工程に分け、2層構造としても良い。この様に2層とすることでピンホールを減少させることができる。

【0018】次に、ITOより成る表示電極(16)と、前記絶縁性基板(10)全面に形成された第2のゲート絶縁膜(17)と、ゲート(11)を一構成とする TFTの活性領域に、順次積層されたノンドープの第1

の非単結晶シリコン膜(18)、半導体保護膜(19)、およびN⁺型にドーブされた第2の非単結晶シリコン膜(20)と、このソース領域に対応する第2の非単結晶シリコン膜(20)および表示電極(16)と電気的に接続するソース電極(21)と、前記ドレイン領域に対応する第2の非単結晶シリコン膜(20)とドレインライン(22)を接続するドレイン電極(23)とがある。

【0019】TFTに対応する約2000Åのゲート絶縁膜(17)上には、約1000Åのノンドープのアモルファス・シリコン活性層(a-Si層)(18)および約500ÅのN⁺型のアモルファス・シリコンコンタクト層(N⁺-a-Si層)(20)が積層され、チャンネルに対応するa-Si層(18)とN⁺-a-Si層(20)の間には、約2500ÅのSiNxより成る半導体保護膜(19)が設けられている。ドレイン電極(23)は、ドレインラインと一体で、ソース電極(21)は、開口部(24)を介して表示電極(16)とコンタクトし、両者とも同一材料で形成されている。ここでは例えばMo, Alが積層されている。

【0020】本発明の特徴は、補助容量ライン(14)(補助容量電極(13))と表示電極(16)の周辺エッジとの交点P, P'に、少なくとも半導体保護膜(19)に使用されるSiNx膜(25)または/およびa-Si (18)を設けることにある。この交点P, P'の所は、補助容量ライン(14)(補助容量電極(13))の段差と表示電極(16)の段差が両方影響する所で、段差が大きくなる。この段差は、第2のゲート絶縁膜(17)の膜厚にもよるが、充分カバーできず、しかもピンホールの発生しやすい所である。従ってこの2ヶ所P, P'に夫々設ければ良いが、各層の段差を考えて、交点P, P'を含む広い範囲に1ヶ所、破線で示す四角形の如く設けた。

【0021】また後述する製造方法で判るが、第1の非単結晶シリコン膜(18)と半導体保護膜(19)は、PCVD法で連続して形成されるため、SiNx膜(25)の下には、必ずa-Si (18)が形成される。a-Si (18)は約1000Å、SiNx膜(25)は約2500Åであるため、この2層で段差部は充分にカバーされる。従ってSiNx膜(25)のエッチングの後に、SiNx膜(25)と同じ形状のa-Si (18)もエッチングして段差部に被覆領域を形成しても良い。

【0022】しかし、SiNx膜(25)とa-Si (18)の界面、または第2のゲート絶縁膜(17)とa-Si (18)の界面からピンホールまでの距離および後述する製造方法(ノンドープのa-SiとN⁺型のa-Siは、この2層を積層してから一度にエッチングする。)を考え、段差部には、破線で示す領域(26)に設けられたa-Si (18), (20)の間に、Si

Nx (25) が設けられている。

【0023】従ってこの段差部には、少なくとも半導体保護膜と同一材料の層が設けられているので、仮にピンホール等が生じても被覆でき、補助容量ライン (14) の断線、電極 (21)、(23) 材料の浸入による短絡およびエッチング液の浸入による膜剥れ等を防止でき、歩留りの向上を達成できる。しかし製造方法によっては、この段差部に a-Si (18) のみ、または a-Si (18) と N⁺a-Si (20) を積層させることもできる。段差部の厚膜やピンホールの大きさによって、この積層構造でも効果はある。

【0024】一方、本実施例と異なり、補助容量電極 (13) を必要としない液晶表示装置に於いて、表示電極 (16) の段差により生ずるピンホール等も、前述の被覆層を全周に渡り設ける事で減少させることができる。以下は図示していないが上層には、例えばポリイミド等から成る配向膜が設けられている。一方、ガラス基板 (10) と対を成す対向ガラス基板が設けられ、この対向ガラス基板には、TFT に対応する位置に遮光膜が設けられ、対向電極が設けられる。更には、前述の配向膜が設けられる。

【0025】更には、この一対のガラス基板間にスペーサが設けられ、周辺を封着材で封着し、注入孔より液晶が注入されて本装置が得られる。次に本発明の製造方法を図2乃至図6を用いて説明する。先ず図2の如く、透明な絶縁性基板 (10) 上にゲート (11) と一体の複数本のゲートライン (12) および補助容量電極 (13) と一体の補助容量ライン (14) を形成する工程がある。

【0026】前記基板 (10) は、例えばガラスより成り、電極 (11)、(13) は、約1000ÅのCrをスパッタリングして形成される。続いて、図2に示す如く、基板 (10) 全面に第1のゲート絶縁膜 (15) を形成し、前記補助容量電極 (13) と少なくとも一部が重畳するように表示電極 (16) を形成する工程 (図3参照) がある。

【0027】このゲート絶縁膜 (15) は、SiNx 膜より成り、PCVDで約3000Åの厚さに積層される。また表示電極 (35) は、ITOをスパッタリングによって約1000Åの厚さに形成している。続いて、図3の如く、ガラス基板 (10) 全面に第2のゲート絶縁膜 (17) を形成する工程がある。

【0028】このゲート絶縁膜 (17) も、SiNx 膜より成り、PCVDで約2000Åの厚さに形成される。この時に、点Pに生じるピンホールが右側の断面図に示されている。続いて、図4の如く、前工程と連続してPCVD法により、a-Si (18) と SiNx 膜 (19) を積層する工程がある。a-Si は、約1000Åであるため、段差によっては、図4の如く、ピンホールを被覆できない事があるが、SiNx 膜 (19) が

約2500Åと比較的厚いため、これによって完全にカバーされる。

【0029】更に図5の如く、TFTのチャンネル領域に残す半導体保護膜 (19) と被覆部 (25) を、エッチングにより残す工程がある。ここで、ピンホールには、a-Si (18) と SiNx (25) が設けてあるため、SiNxのエッチャント (またはエッチングガス) は浸入せず、これ以上大きく、あるいはこれ以上深く成る事は無い。

【0030】最後に、図6に示す如く、基板全面に N⁺a-Si (20) をPCVDで形成し、N⁺a-Si (20) と a-Si (18) の外周を一度にエッチングする。その後、コンタクト孔 (24) を形成した後、Al, Moより成る電極材料を全面に形成し、ソース電極 (21)、ドレイン電極 (23) と一体のドレインライン (22) をエッチングによりパターン化し、ソース電極とドレイン電極 (23) の間の N⁺a-Si を、これらの電極をマスクとしてエッチングする。

【0031】この後、配向膜の形成、対向基板の形成、封止および液晶注入等があるが、従来の技術と同様であるのでここでは省略する。

【0032】

【発明の効果】以上の説明から明らかな通り、段差部に半導体保護膜と同一材料の層をピンホール上に設けることで、ピンホールは完全に塞がれるので、ピンホールを介した断線、膜剥れおよび短絡を無くす事ができる。第1に、補助容量電極を必要としない液晶表示装置で、液晶電極の周辺に、この膜のステップカバレッジの悪化によるピンホールが形成されても、ノンドープの非単結晶シリコン膜と半導体保護膜材料、ノンドープの非単結晶シリコン膜と半導体保護膜材料およびドープされた非単結晶シリコン膜がこのピンホール上に積層されてあるため、このピンホールを介した膜剥れを防止できる。

【0033】第2に、補助容量電極を必要とする液晶表示装置に於いて、補助容量ライン (または補助容量電極) と表示電極のパターンエッジとの交点に、ノンドープの非単結晶シリコン膜と半導体保護膜材料、ノンドープの非単結晶シリコン膜と半導体保護膜材料とドープされた非単結晶シリコン膜が、この交点上に積層されてあるため、仮にこの交点にピンホールが形成されても、ピンホールを介した浸蝕が防止でき、補助容量ラインの断線、このラインと表示電極の短絡およびこのピンホール内に露出する界面を介した膜剥れ等を防止できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の平面図である。

【図2】本発明の製造方法を示す断面図である。

【図3】本発明の製造方法を示す断面図である。

【図4】本発明の製造方法を示す断面図である。

【図5】本発明の製造方法を示す断面図である。

【図6】本発明の製造方法を示す断面図である。

12

13 補助容量電極

15 第1のゲート絶縁膜

16 表示電極

17 第2のゲート絶縁膜

18 第1の非単結晶シリコン膜

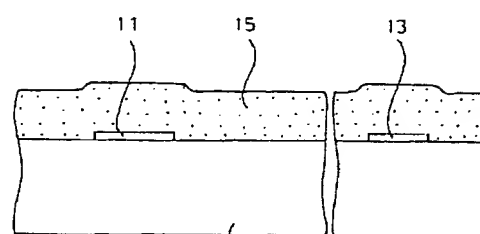
19 半導體保護膜

20 第2の非単結晶シリコン膜

25 半導体保護膜材料による被覆部

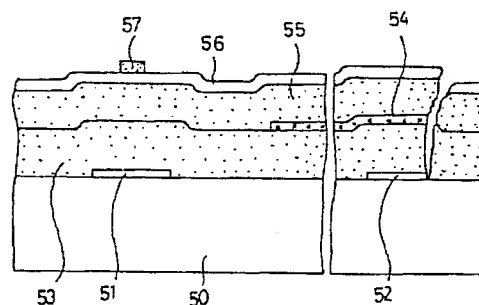
26 非単結晶シリコン膜による被覆部

【图 2】



11: ケーブル
13: 補助容量電極

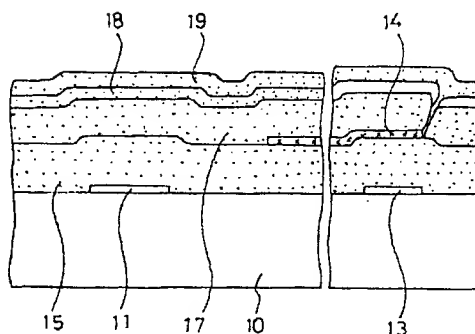
【圖 1 1】



11: ゲート
13: 補助容量電極
16: 表示電極
19: 半導体保護膜
22: ドレインライン

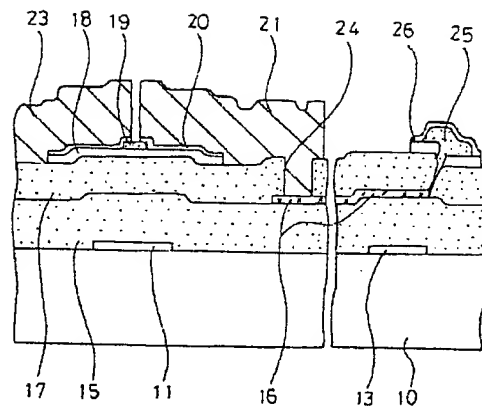
12: ゲートライン
14: 補助容量ライン
18: 第1非電圧結晶シリコン膜
21: ソース電極

【図 4】



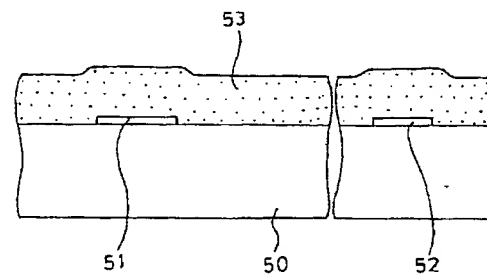
16:表示重码

【図 6】



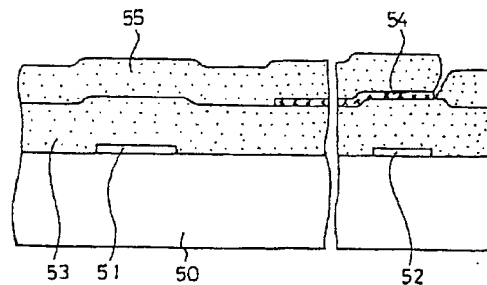
10: 透明な絶縁性基板	11: ゲート
13: 補助容量電極	15: 第1のゲート絶縁膜
16: 表示電極	17: 第2のゲート絶縁膜
18: 第1の非等価品シリコン膜	19: 半導体保護膜
20: 第2の非等価品シリコン膜	21: ソース電極
23: ドレイン電極	

【图 8】



50: 絶縁性基板 51: ケート
52: 補助容量電極 53: 第1のケート絶縁膜

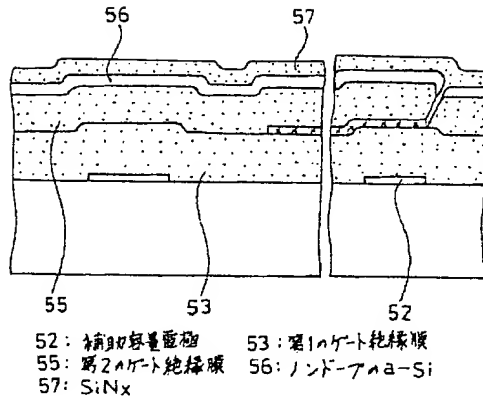
【图9】



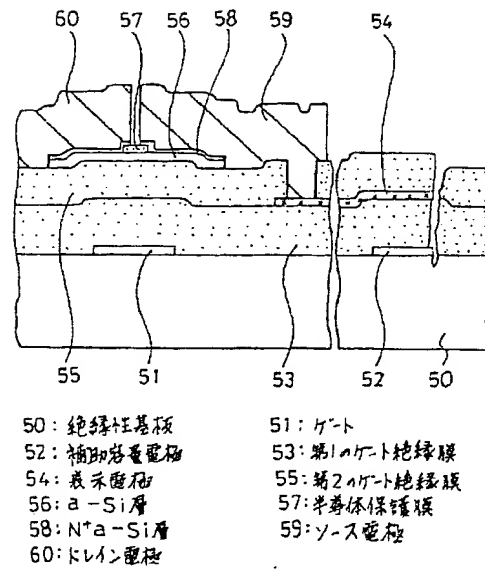
50: 絶縁性基板	51: ゲート
52: 補助容量電極	53: 第1のゲート絶縁膜
54: 表示電極	55: 第2のゲート絶縁膜

51: ケート	52: 補助容量電極
54: 表示電極	56,58: a-Si層
59: ソース電極	60: ドレイン電極
61: ケートライン	62: 補助容量ライン

【図10】



【図12】



フロントページの続き

(51) Int. Cl.⁵

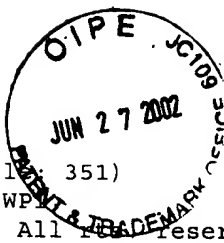
H01L 29/784

識別記号

片内整理番号

F I

技術表示箇所



COPY OF PAPERS
ORIGINALLY FILED

RECEIVED
JUL -3 2002
TC 2800 MAIL ROOM

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WP
(c) 2002 Thomson Derwent. All rights reserv.

009668647 **Image available**

WPI Acc No: 1993-362199/ 199346

XRPX Acc No: N93-279606

Liquid crystal display unit - has layer made of same material as semiconductor prevention film set on pin hole of step section to completely cover pin hole NoAbstract

Patent Assignee: SANYO ELECTRIC CO (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5265039	A	19931015	JP 9262212	A	19920318	199346 B

Priority Applications (No Type Date): JP 9262212 A 19920318

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5265039	A		9	G02F-001/136	

Abstract (Basic): JP 5265039 A

Dwg.1/12

Title Terms: LIQUID; CRYSTAL; DISPLAY; UNIT; LAYER; MADE; MATERIAL;
SEMICONDUCTOR; PREVENT; FILM; SET; PIN; HOLE; STEP; SECTION; COMPLETE;
COVER; PIN; HOLE; NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/133; G02F-001/1333;
H01L-027/12

File Segment: EPI; EngPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

04273339 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-265039 [JP 5265039 A]

PUBLISHED: October 15, 1993 (19931015)

INVENTOR(s): UCHIUMI HIROSADA

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 04-062212 [JP 9262212]

FILED: March 18, 1992 (19920318)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G02F-001/1333; H01L-027/12;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1678, Vol. 18, No. 36, Pg. 39,
January 19, 1994 (19940119)

ABSTRACT

PURPOSE: To completely close pinholes and to prevent the disconnection, film peeling, short circuit, etc., based thereon by providing non-single crystal silicon films and semiconductor protective film on a gate insulating film corresponding to the periphery of display electrodes.

CONSTITUTION: This liquid crystal display device has the display electrodes 16 consisting of ITO, the second gate insulating film 17 formed over the entire surface of an insulating substrate 10 and the non-doped first non-single crystal silicon film 18, semiconductor protective film 19 and n type doped second non-single crystal silicon film 20 successively laminated in the active regions of TFTs containing gates 11 as a part thereof. Further, the device has the source electrodes 21 for connecting the second non-single crystal silicon film 20 corresponding to the source regions thereof and the display electrodes 16 and the drain electrodes 23 connecting the second non-single crystal silicon film 20 corresponding to the drain regions and the drain lines. Namely, the level difference parts can be covered by providing an SiN(sub x) film 25 or a-Si film 18 to be used for the semiconductor layer protective film 19 at the intersected points of auxiliary capacity electrodes 13 and the peripheral edges of the display electrodes 16.